

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-161867

(43)Date of publication of application : 26.06.1989

(51)Int.Cl.

H01L 29/78
H01L 21/265

(21)Application number : 62-318978

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 18.12.1987

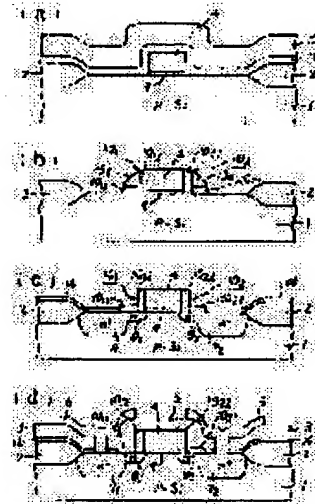
(72)Inventor : YASUDA TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a minute MOSFET with high reliability which has a gate length of submicron order and excellent controllability of manufacturing process, by forming simultaneously a first impurity doped region of low concentration and a second impurity doped region of concentration higher than the first impurity, the layers being formed by doping impurity having a conductivity type inverse to a semiconductor substrate by using a step-type side wall and a gate electrode as a mask.

CONSTITUTION: The whole surface of a second film 12 and an SiO₂ film 11 are continuously etched by sputter-etching or reactive ion etching of intense anisotropy, and second films 131, 132 and SiO₂ film 101, 102 being side walls of a gate electrode 4 are left. By reactive plasma etching capable of selective exfoliation or chemical liquid exfoliating, the film 131, 132 are eliminated, thereby leaving step-type side walls 1011, 1012; 1021, 1022 on the electrode side surface. By using the gate electrode 4 and the left films 101, 102 as masks, N⁺ layers 71, 72 being high concentration impurity region, and N⁻ layers 81, 82 being low concentration impurity region are simultaneously formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(11) Japanese Unexamined Patent Application Publication No. 1-161867

(Embodiment)

Figs. 1(a) to 1(d) are sectional views which show the steps when an n-channel MOSFET is fabricated by a method of the present invention. As shown in Fig. 1(a), on a silicon substrate 1 containing a p-type impurity with a concentration of 1×10^{15} atoms \cdot cm $^{-3}$, an element isolation region 2, i.e., a field oxide film, is formed to delimit an element region. After a gate oxide film 9 with a thickness of approximately 5 to 50 nm is formed on a predetermined area in the element region, a polycrystalline silicon film with a thickness of 0.1 to 0.5 μ m is formed, followed by patterning to form a gate electrode 4. An SiO $_2$ film 11 with a thickness of approximately 100 to 400 nm is then formed as a first film over the entire surface by a CVD method using SiH $_4$ as a reactant gas. A second film 12 composed of a BPSG film, Si $_3$ N $_4$ film, or photoresist film with a thickness of 100 to 1,000 nm is formed further thereon by a CVD method using SiH $_4$, PH $_3$, B $_2$ H $_6$, or the like as a reactant gas.

Next, as shown in Fig. 1(b), the second film 12 and the SiO $_2$ film 11 are continuously etched by sputter etching or reactive ion etching which is strongly anisotropic so that second films 13 $_1$ and 13 $_2$ and SiO $_2$ films 10 $_1$ (10 $_{11}$ and 10 $_{22}$) and 10 $_2$ (10 $_{21}$ and 10 $_{22}$) remain as sidewalls at both sides of the gate electrode 4.

Next, as shown in Fig. 1(c), the second films 13 $_1$ and 13 $_2$ are selectively removed by reactive plasma etching or chemical etching so

that stepped sidewalls (10_{11} and 10_{12} ; 10_{21} and 10_{22}) remain at both sides of the electrode. Using the gate electrode 4 and the remaining SiO_2 films 10_1 and 10_2 as masks, an n-type impurity, such as phosphorus or arsenic, is ion-implanted at an accelerating voltage of 30 to 100 KeV and with an implant dose of 10^{12} to 10^{16} atoms $\cdot\text{cm}^{-2}$, followed by activation by high-temperature treatment at 900 to 1,100°C and diffusion. Thereby, n^+ layers 7_1 and 7_2 which are high-concentration impurity regions and n^- layers 8_1 and 8_2 which are low-concentration impurity regions are simultaneously formed. At this stage, SiO_2 films 14 are formed over the n^+ layers 7_1 and 7_2 which are high-concentration impurity regions and the field oxide film 2.

In such a manner, source/drain regions comprising the low-concentration n^- layers 8_1 and 8_2 and high-concentration n^+ layers 7_1 and 7_2 which are self-aligned by the gate electrode 4 and the SiO_2 films 10_1 and 10_2 can be obtained by one impurity implantation step.

Next, as shown in Fig. 1(d), as in the conventional treatment, the entire surface is covered with an SiO_2 film, BPSG film, or PSG film 3 by a CVD method, contact holes are formed, and a drain electrode 5, a source electrode 6, and other lines composed of an Al-Si film are formed.

(Second Embodiment)

Another embodiment of the present invention is shown in Fig. 5. As shown in Figs. 5(a) to 5(e), sidewalls comprising oxide films 10_1 and 10_2 and second films 13_1 and 13_2 are formed at both sides of a gate electrode 4 by the same steps (shown in Figs. 5(a) and 5(b)) as those

shown in Figs. 1(a) and 1(b) in the previous embodiment. Next, as shown in Fig. 5(c), a step of forming low-concentration n^- layers 15₁ and 15₂ using the sidewalls and the gate electrode 4 as masks is added, and as shown in Figs. 5(d) and 5(e), a semiconductor device is fabricated by the same steps as those shown in Figs. 1(c) and 1(d).

⑫ 公開特許公報(A)

平1-161867

⑪ Int. Cl.⁴H 01 L 29/78
21/265

識別記号

3 0 1

庁内整理番号

L-8422-5F
L-7738-5F

⑬ 公開 平成1年(1989)6月26日

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-318978

⑯ 出 願 昭62(1987)12月18日

⑰ 発 明 者 安 田 孝 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内
 ⑱ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号
 ⑲ 代 理 人 弁理士 杉村 曉秀 外1名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板上に素子領域を画成する工程と、この素子領域上にゲート酸化膜を介してゲート電極を形成する工程と、前記素子領域上に第1の膜及び第2の膜を形成する工程と、前記ゲート電極側面に前記第1の膜及び第2の膜から成る側壁を形成する工程と、前記ゲート電極側面に前記第1の膜から成る階段状の側壁を形成する工程と、この階段状の側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして低濃度の第1の不純物ドーピング領域及びこれよりも高濃度の第2の不純物ドーピング領域を同時に形成する工程とを具えることを特徴とする半導体装置の製造方法。
2. 半導体基板上に素子領域を画成する工程と、この素子領域上にゲート酸化膜を介してゲート電極を形成する工程と、前記素子領域上に

第1の膜及び第2の膜を形成する工程と、前記ゲート電極側面に前記第1の膜及び第2の膜から成る側壁を形成する工程と、この側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして第1の不純物ドーピング領域を形成する工程と、前記ゲート電極側面に前記第1の膜から成る階段状の側壁を形成する工程と、この階段状の側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして前記第1の不純物ドーピング領域の濃度とは異なる濃度の第2の不純物ドーピング領域を形成する工程とを具えることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に高集積化及び高速化が可能で、かつ信頼度の高い微細なMOSFETの製造に好適な半導体装置の製造方法に関するものである。

(従来の技術)

大規模集積回路(LSI)の高集積化が進むにつれてLSIに用いられる素子は微細化の一途をたどっている。かかる微細な素子ではソース・ドレイン間の耐圧の低下やホットキャリア注入による長期信頼性の低下といった種々の問題が生じてくる。かかる問題を解決するためにドレイン近傍における電界を緩和して衝突電離によるホットキャリアの低減を図る試みがなされており、その1つにアイイーディーエム テクニカル ダイジェスト 1981年、第651頁(IBM TECHNICAL DIGEST, 1981, p 651)に示されているような低濃度ドレイン(Lightly Doped Drain)構造(以下LDD構造と称する)がある。

第3図はnチャネルMOSFETを例にとってLDD構造の代表的な構成を断面図で示す。このLDD構造のMOSFETを造るためにはまず最初P型シリコン基板1にゲート電極4をマスクとして用いてn導電型を呈する不純物をドーピングし、低濃度の肉薄のn⁻層8₁, 8₂を形成した後ゲ-

ート電極4の側面に通常の処理で形成した側壁10₁, 10₂及びゲート電極4を再びマスクとして用いてゲート電極4から離れた箇所にn導電型を呈する不純物をドーピングして高濃度のn⁻層7₁, 7₂を形成する工程を採用している。MOSFETのソース・ドレイン間の耐圧はドレイン端における電界の強さに依存するため、このように低濃度領域8₁, 8₂を設けることによりこの領域で電界が緩和され、従って上記耐圧を向上させることができる。更に、この領域で電界が緩和されることによりホットキャリアの発生も抑制することができる。

(発明が解決しようとする問題点)

上述した従来の半導体装置の製造方法においては低濃度のn⁻層を形成する際にゲート電極4をマスクとして用いるがこの方法によれば低濃度のn⁻層はゲート電極下で熱処理工程により横方向に拡散してソース・ドレイン間の実効的な長さ(実効チャネル長)が短くなる。これがため低濃度のn⁻層の拡散を十分に行うことが不可能であり、高濃度のn⁻層7₁, 7₂の近傍での低濃度のn⁻

層の寄生抵抗が大きくなり、MOSFETの相互コンダクタンスが低下するという問題がある。

本発明は上述した従来技術の問題点を解決し、サブミクロン領域のゲート長を有する製造工程の制御性に優れた信頼度の高い微細なMOSFETを製造することのできる半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

本発明半導体装置の製造方法は半導体基板上に素子領域を画成する工程と、この素子領域上にゲート酸化膜を介してゲート電極を形成する工程と、前記素子領域上に第1の膜及び第2の膜を形成する工程と、前記ゲート電極側面に前記第1の膜及び第2の膜から成る側壁を形成する工程と、前記ゲート電極側面に前記第1の膜から成る階段状の側壁を形成する工程と、この階段状の側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして低濃度の第1の不純物ドーピング領域及びこれよりも高濃度の第2の不純物ドーピング領域を同時に形成する

工程とを具えることを特徴とする。

又、本発明半導体装置の製造方法は半導体基板上に素子領域を画成する工程と、この素子領域上にゲート酸化膜を介してゲート電極を形成する工程と、前記素子領域上に第1の膜及び第2の膜を形成する工程と、前記ゲート電極側面に前記第1の膜及び第2の膜から成る側壁を形成する工程と、この側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして第1の不純物ドーピング領域を形成する工程と、前記ゲート電極側面に前記第1の膜から成る階段状の側壁を形成する工程と、この階段状の側壁及び前記ゲート電極をマスクとして用いて前記半導体基板とは逆の導電型を呈する不純物をドーピングして前記第1の不純物ドーピング領域の濃度とは異なる濃度の第2の不純物ドーピング領域を形成する工程とを具えることを特徴とする。

(作用)

上述した本発明半導体装置の製造方法では、ゲート電極4とその側面に形成された階段状の側壁

10₁₁, 10₁₂, 10₂₁, 10₂₂とをマスクとして用いて不純物をドーピングするため、低濃度の不純物領域8₁, 8₂のゲート電極4の下部への拡散を必要最小限におさえることができ、実効チャネル長を長くすることができる。又、低濃度不純物領域8₁, 8₂の横方向への拡散距離を長くすることができるためこの低濃度不純物領域8₁, 8₂の不純物濃度勾配が緩やかになり、電界緩和効果が高められると共にこの低濃度不純物領域8₁, 8₂の寄生抵抗が低減され、これによりMOSFETの動作速度が向上する利点がある。

(実施例)

第1図(a)~(d)は本発明方法によりnチャネルMOSFETを製造する場合の順次の工程を示す断面図である。第1図(a)に示すように、 1×10^{18} 原子・cm⁻³の濃度のP型不純物を含むシリコン基板1上に素子分離領域2即ちフィールド酸化膜を形成して素子領域を面成し、この素子領域の所定区域上に厚さが約5~50nm程度のゲート酸化膜9を形成した後厚さが0.1~0.5μmの多結晶シリコ

ン膜を敷け、これにパターンニング処理を施してゲート電極4を形成する。次いで反応ガスとしてSiH₄を用いたCVD法により全面に厚さ100~400nm程度のSiO₂膜11を第1の膜として形成し、更に、この上に反応ガスとしてSiH₄, PH₃, B₂H₆等を用いたCVD法により全面にBPSG膜又はSi₃N₄膜或いはフォトリソ膜から成る厚さ100~1000nmの第2の膜12を形成する。

次に、第1図(b)に示すように、第2の膜12及びSiO₂膜11を異方性の強いスパッタエッチング又は反応性イオンエッチングにより連続して全面エッチングを施してゲート電極4の側面に側壁である第2の膜13₁, 13₂及びSiO₂膜10₁(10₁₁, 10₂₁)、10₂(10₁₂, 10₂₂)を残存させる。

次いで第1図(c)に示すように、第2の膜13₁, 13₂を選択的に剥離できる反応性プラズマエッチング又は薬液剥離により除去することによって電極側面に階段状の側壁10₁₁, 10₁₂; 10₂₁, 10₂₂を残存させる。ゲート電極4と残存のSiO₂膜10₁, 10₂とをマスクとして用い、加速電圧30~100

KeV、打ち込みドーズ量 $10^{12} \sim 10^{16}$ 原子・cm⁻²の条件で磷及び砒素等のn型不純物をイオン打ち込みした後、900℃~1100℃の高温処理により活性化し、かつ拡散し、高濃度不純物領域であるn⁺層7₁, 7₂及び低濃度不純物領域であるn⁻層8₁, 8₂を同時に形成する。この際、高濃度不純物領域であるn⁺層7₁, 7₂上及びフィールド酸化膜2上にSiO₂膜14が形成される。

このようにして、ゲート電極4及びSiO₂膜10₁, 10₂によって自己整合された低濃度のn⁻層8₁, 8₂及び高濃度のn⁺層7₁, 7₂よりなるソース・ドレイン領域を1回の不純物打ち込み工程によって得ることができる。

その後、第1図(d)に示すように、従来の処理と同様の処理を施して全面をCVD法によりSiO₂膜又はBPSG膜或いはPSG膜3で覆い、コンタクトホールを開口し、Al-Si膜によるドレイン電極5、ソース電極6その他の配線を形成する。

本実施例によれば低濃度のn⁻層8₁, 8₂は、側壁であるSiO₂膜10₁, 10₂のゲート電極4に

接している肉厚の部分10₁₂, 10₂₂をマスクとして用いゲート領域4から離れた箇所から不純物をドーピングして造るため、即ち、ゲート電極4の真下に低濃度のn⁻層の端部がほぼ位置するため、ゲート電極4の下側の領域への低濃度のn⁻層の入り込みが少なく、実効ゲート長の目減りを抑えることができるため、従来の場合のようにゲート電極のみをマスクとして用いて低濃度のn⁻層を形成するLDD構造(第3図)よりも微細化に適している。

第2図は本発明方法を用いて形成された不純物打ち込み領域の深さ方向の不純物分布を示す説明図である。図中、(a)は側壁SiO₂膜10₁₂, 10₂₂の下部の不純物分布、(b)はソース・ドレイン領域に対するSiO₂膜14の下部の不純物分布を夫々示すものである。これらの図から明らかなように、1回の不純物打ち込み処理により高濃度不純物領域7₁, 7₂及び低濃度不純物領域8₁, 8₂を自己整合的に得ることができる。更に、n⁻領域7₁, 7₂及びn⁻領域8₁, 8₂の不純物濃度の差は側壁10₁₁, 10₂₁

の厚さを制御することにより適切に得ることができる。

第4図は従来のLDD構造における不純物領域の不純物分布と、本発明方法を用いて形成された不純物領域の不純物分布とを比較した説明図である。即ち、この図から明らかなように、一定の実効チャネル長のもとでは本実施例の方が従来のLDD構造に比して低濃度の n^- 層 $8_1, 8_2$ の拡散距離を長くとれるため n^- 層の濃度勾配は緩やかとなる。これがため、本実施例ではドレイン近傍での電界強度がより緩和され、耐圧の向上、耐ホットキャリア性の向上が得られる。更に、 n^- 領域の不純物濃度分布において n^- 領域近傍での濃度は、従来のLDD構造に比してより高くなる。これがため、この領域の寄生抵抗が低減されMOSFETの動作速度の向上に寄与することができる。

又、本実施例によれば制御性の高い側壁 SiO_2 膜 $10_{11}, 10_{12}, 10_{21}, 10_{22}$ をマスクとして用いることにより、制御性の左程良好でないサイドウォールを一回形成するだけで緩やかな不純物勾配を

有する n^- 層 $8_1, 8_2$ を得ることかできる。2/2

(第2実施例)

本発明の他の例を第5図に示す。本例では第5図(a)~(e)に示すように、前例の第1図(a)及び(b)で示した工程と同一の工程(第5図(a)及び(b))によりゲート電極4の側面に酸化膜 $10_1, 10_2$ 及び第2の膜 $13_1, 13_2$ から成る側壁を形成した後、第5図(c)に示すように、この側壁及びゲート電極4をマスクとして用い低濃度の n^- 層 $15_1, 15_2$ を形成する工程を追加し、その後第1図(c)及び(d)に示す工程と同様の工程により第5図(d)及び(e)に示すように半導体装置を製造する。本実施例では低濃度の n^- 層 $15_1, 15_2$ を形成することにより高濃度の n^- 層 $7_1, 7_2$ 及び半導体基板1から成る接合の容量を小さくすることができる。

(発明の効果)

上述した本発明半導体装置の製造方法によれば、ゲート電極から離れた位置から不純物を打ち込むため、ソース・ドレイン領域間の距離(実効チャネル長)を大きくとることができる。これがため

十分な熱拡散を行うことができ、低濃度不純物領域の濃度勾配を緩和し得るため、以下に示す利点を得られる。即ち、電界緩和効果を向上させることができる。低濃度不純物領域において高濃度不純物領域に近い部分の濃度を高くできるため、低濃度不純物領域の寄生抵抗を低くすることができる。更に、不純物打ち込みの際マスクとなる側壁 SiO_2 膜はその膜厚と異方性エッチングにより精度よく制御され、この階段状の側壁 SiO_2 膜だけで低濃度不純物領域及び高濃度不純物領域の双方を同時に自己整合的に形成することができる最大の利点を有する。

4. 図面の簡単な説明

第1図(a)~(d)は本発明半導体装置の製造方法の一実施例の製造工程を示す断面図、

第2図(a)~(b)は本発明における不純物ドーピング領域の不純物分布を示す説明図、

第3図は従来のLDD構造のMOSFETの一例を示す断面図、

第4図は従来のLDD構造における不純物ド

ーピング領域の不純物分布と、本発明方法を用いて形成された不純物ドーピング領域の不純物分布とを比較した説明図、

第5図(a)~(e)は本発明半導体装置の製造方法の他の例の製造工程を示す断面図である。

1...P型シリコン基板 2...フィールド酸化物

3...層間絶縁膜 4...ゲート電極

5, 6...Al-Si 配線

7₁, 7₂...高濃度不純物領域

8₁, 8₂, 15₁, 15₂...低濃度不純物領域

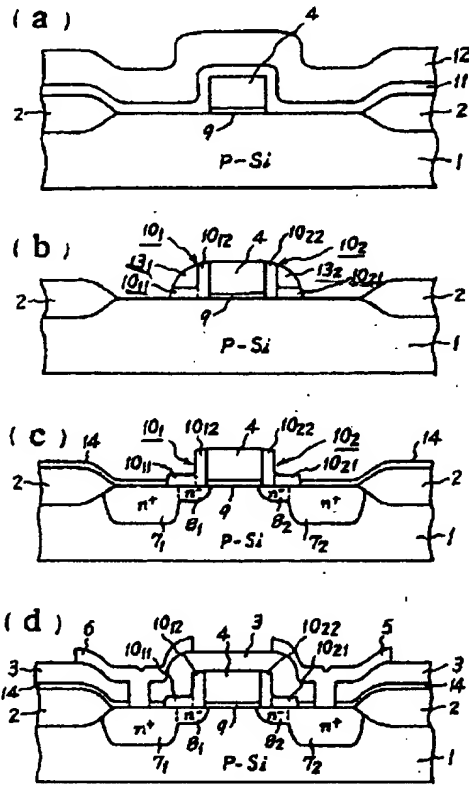
9...ゲート酸化膜

10₁₁, 10₁₂, 10₂₁, 10₂₂...ゲート側壁

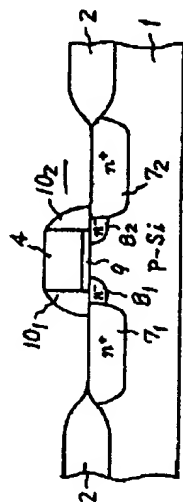
11, 14... SiO_2 膜

12, 13₁, 13₂...BPSG膜又は Si_3N_4 膜又はフォトリソ膜

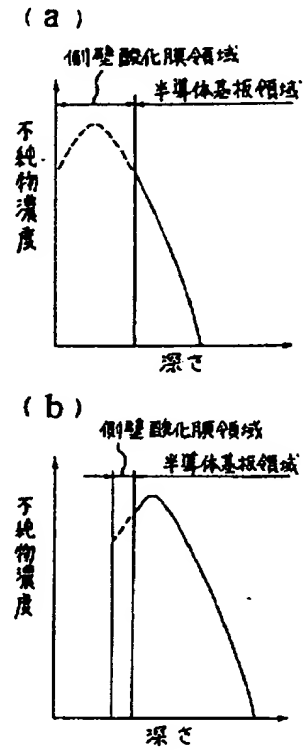
第1図



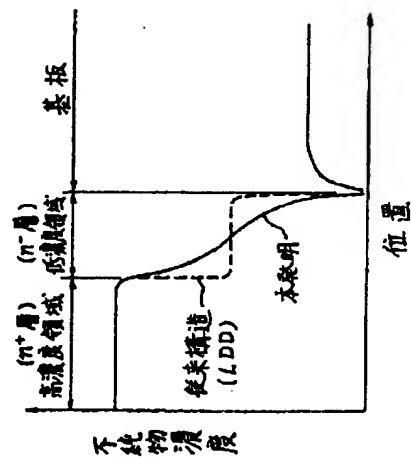
第3図



第2図



第4図



第5図

